

高密度ラジカルを用いた絶縁体/ワイドギャップ半導体 界面の制御とデバイス応用

豊橋技術科学大学 総合教育院
岡田 浩

1. はじめに

人工知能(AI)やインターネットが普及し、一般市民が膨大な情報に手軽かつ直接にアクセス可能な超情報化社会とも言える時代が到来した。広範囲な情報をデータセンターに蓄積し、社会で利活用可能とする取り組みは、自動車など交通機関の自動運転や、遠隔地の高度医療や教育の提供など、少子高齢化社会で取り沙汰される社会的な課題解決に有効である。こうした情報インフラの拡充には、サーバーなど情報処理能力・蓄積能力の向上と同時に、社会の持続可能性やカーボンフリーといったエネルギー効率を同時に満足する必要がある。データセンターのサーバーなどエレクトロニクス機器には必ず電力供給が必要であり、電力系統からサーバー機器稼働に必要な直流電圧を高効率かつ安定に供給する電源回路は、システムの心臓とも言える。大規模データセンターでは多くの機器を集積して稼働させるため、発熱抑制は重要である。一般的なデータセンターにおいて、電源回路から発生する排熱は全体の 20%近くに及ぶとも言われ、電源回路の高効率化は極めて重要である。

こうした要求に対して、本課題では GaN 半導体（窒化物半導体）などのワイドバンドギャップ半導体の電子デバイス開発に向けた検討を行った。こうしたワイドギャップ半導体のトランジスタの性能は、ゲート構造に大きく左右される。本研究は独自の高密度ラジカル生成技術を応用した絶縁膜形成技術である基底状態原子支援化学気相堆積法(Atomic Species Enhanced Chemical Vapor Deposition: ASECVD 法)により、絶縁体/半導体界面の特性を制御して絶縁ゲート構造を形成する技術に着目した。パワーエレクトロニクス分野で求められるワイドギャップ半導体材料が本来有するポテンシャルの発揮を可能にする絶縁ゲート型トランジスタを実現する技術を開発する。このために、堆積条件や堆積後熱処理が膜質や界面特性に及ぼす影響について詳細に検討した。また、この技術を応用した絶縁ゲートトランジスタを試作し、デバイス動作特性から提案手法の有用性の検証を行った。

2. 絶縁体/半導体界面の形成技術の検討

我々は、絶縁ゲート型の電界効果トランジスタ(FET)の性能を左右する良好なゲート絶縁膜を形成する新たな手法として、**図 1** に示す基底状態原子支援化学気相堆積(ASECVD)技術を独自

に開発している[1], [2]。この手法は、表面波プラズマにより生成した基底状態原子によってシリコン系絶縁膜などゲート絶縁膜堆積反応をエネルギーの低い基底状態原子で支援する手法であり、従来技術の直接的なプラズマ形成技術である。SiO₂ は絶縁体材料の中では最大のバンドギャップ(9 eV)を有し、現在の Si パワーデバイスでも広く使われている。SiO₂ を GaN 上に成膜する従来手法であるプラズマ CVD 法やスパッタ成膜法では

半導体表面に損傷が導入され、トランジスタの制御不安定性を誘引するなど、絶縁膜形成技術の開発はトランジスタ実用化の課題である。

開発した ASECVD 技術は、絶縁膜の堆積反応に低エネルギーの基底状態原子を用いる点が大きな特徴である。表面波モードの高密度プラズマから反応に必要な低いエネルギー状態の基底状態原子のみを抽出して堆積を行う除電機構を備えており、原理的に GaN 表面への損傷を回避したプラズマダメージレスで高品質な絶縁膜堆積が期待できる。

図 2 に ASECVD 法で形成した SiO₂ 膜を、赤外分光分析(FT-IR)を用いて評価した結果の例を示す。ここでは Si 基板上に成膜した SiO₂ 膜を全反射測定(Attenuated Total Reflection: ATR)モードで評価した。図 2 には参照として Si 基板を 1050°C で 30 分間ドライ酸化し 60 nm の SiO₂ を形成した試料のスペクトルも示した。いずれの試料も、SiO₂ 膜に特徴的に観測される吸収ピークが 1150、1080、800 cm⁻¹ 付近に観測された。他の成膜手法による膜に不純物として観測が報告される C-H 結合や、-OH に由来する 3000 cm⁻¹ 付近の吸収は見られておらず、ASECVD 法において良好な SiO₂ 膜が得られていることが分かる。

ここで、ASECVD 法で堆積した膜の 1080 cm⁻¹ 付近のピーク (SiO₂ の TO3 モード) に注目すると、堆積後熱処理(Post Deposition Anneal: PDA)温度の上昇に伴いピークが高波数側にシフトや吸収ピークの先鋭化が観測された。同様なアニールによる TO3 モードの高波数側へのシフトは Lange らによっても報告されており[3]、熱処理によって SiO₂ 膜中に構造

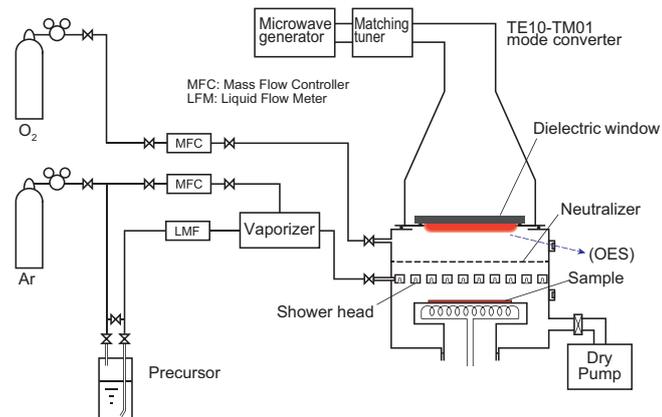


図 1: 独自開発した基底状態原子支援化学気相堆積 (Atomic Species Enhanced Chemical Vapor Deposition: ASECVD)法の装置概略図。

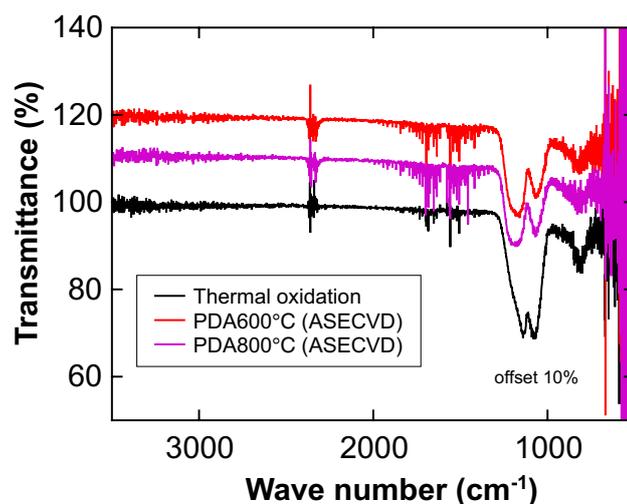


図 2: FT-IR (ATR)による SiO₂ 膜の赤外分光評価結果の例。

的な秩序化が生じていると考えられる。これは適切な PDA 熱処理により SiO₂ 膜中の化学結合状態が安定な方向に変化し、膜中の欠陥やトラップ準位を低減してデバイスの長寿命化にも有効であることを示唆している。

一方、SiO₂/GaN 構造において高温の堆積後熱処理を施すと SiO₂ 表面に GaN 中の Ga の偏析が生じるという報告[4]がある。900°C 近辺で行われる窒化物半導体の結晶成長温度を下回る温度で熱的な影響が生じるメカニズムは明らかではないが、トランジスタなどのデバイス構造を製作する工程で加えられる熱の影響を把握することは重要である。ここでは、堆積後熱処理の温度を変えた SiO₂/GaN 構造の X 線光電子分光(XPS)による組成分析を行なった。図 3 に堆積後熱処理を施した SiO₂/GaN 表面の XPS 評価の例を示す。図 3(a)に示すように GaN 上に厚さ 50 nm の SiO₂ を堆積した後に、堆積後熱処理(PDA)温度をそれぞれ 400°C、600°C、800°C で施した試料を作製して SiO₂ の表面を観察した。図 3(b)は SiO₂ 表面のコンタミネーションを除去するための数 nm 程度の軽いスパッタを行なった後に測定を行なったスペクトルである。結合エネルギー 26 eV 付近には O 2s のピークが観測されており、これは堆積膜である SiO₂ 由来のものである。結合エネルギー 20 eV において、PDA 800°C を行なった試料にのみ明確な信号が観測された。この信号は結合エネルギー位置から考えて Ga 3d によるものと考えられる。これに対し、PDA 400°C および 600°C を施した試料では 20 eV 付近の信号は観測されなかったことから、PDA 800°C 後の SiO₂ 表面には Ga の偏析が生じたと推察される。SiO₂ 膜をスパッタリングにより少しずつ削りながら XPS 観察を行なったところ、PDA 800°C を行なった試料では SiO₂ 膜の全体にわたって Ga が分布していたのに対し、PDA 400°C と 600°C の試料では SiO₂ 膜中への Ga の分布は殆ど認められなかった。SiO₂/GaN の構造において堆積後熱処理は界面特性の改善などに有用であるが、以上の結果から 800°C を超える熱処理は注意が必要であることを示している。

電界効果トランジスタのゲート絶縁膜に期待される役割として、ゲート電極に印加された電圧を効果的に半導体側に伝えつつ、ゲート電極からの電流（リーク電流）を遮断することが求められる。リーク電流を抑制するためには、絶縁膜の膜質自体が良好であることも重要であるが、高温環境下でのデバイス動作には熱励起キャリアの電子放出を抑制するために、絶縁体/半導体界面に十分な障壁高さが形成される必要がある。ここでは、ASECVD 法によって厚さが約 50 nm の SiO₂ 膜を n-Si 上、および n-GaN 上に堆積し、Al 上部電極を形成した MOS キャパシタ構造の電流-電圧特性から界面の障壁高さなどを評価した。膜厚が薄い絶縁膜に高い電界を印加

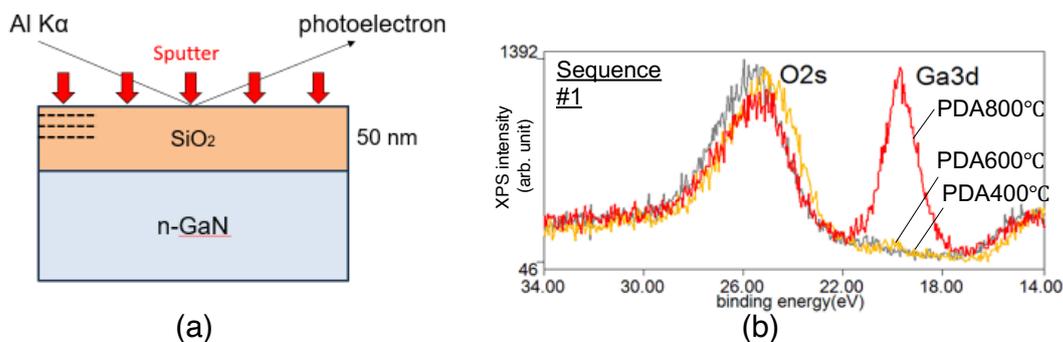


図 3: 堆積後熱処理を施した SiO₂/GaN 表面の XPS 評価結果の例。

すると、絶縁膜に電界勾配が重畳して等価的に絶縁膜の厚さが薄くなりトンネル効果が生じる Fowler-Nordheim (F-N) 機構による電流が観測される。実測された電流密度(J)と絶縁膜の電界強度(E)を図 4 に示すような F-N プロットの形式でプロットすると、特性に直線的な変化が見いだされ、この傾きは絶縁膜と半導体界面の障壁高さ(ϕ_B)に対応する。図 4(a)に示す Al/SiO₂/n-Si 構造では、得られた特性は電位障壁高さ $\phi_B=2.9$ eV の理論曲線に漸近した。ここで見積もられた SiO₂/n-Si 界面の障壁高さの値は半導体の標準的な教科書[5]にみられる SiO₂/Si の 3.15 eV に近い値となり、良好な界面が形成されていることを示している。また、図 4(b)に示す Al/SiO₂/n-GaN 構造の MOS キャパシタ構造の電流-電圧特性の F-N プロットでは、PDA 温度 800°C の試料では 600°C の試料に対して電流が多く観測されたため、F-N プロットでも傾斜が緩やかになっている。これは、800°C の PDA 後の XPS 評価でも観測された Ga の表面偏析とも関連していると考えられる。一方、PDA 温度 600°C を行った SiO₂/n-GaN 試料では $\phi_B=2.8$ eV が見積もられた。この値は光学的な手法などで評価した他の報告[6]とも一致しており、この値は SiO₂ と GaN の仕事関数差などから期待される障壁高さとも一致を示している。以上から、ASECVD 法によるシリコン系絶縁膜の形成と適切な熱処理によって、良好な絶縁体/半導体界面の形成の知見が得られた。

3. 絶縁体/半導体構造のデバイス応用

開発した ASECVD 法による絶縁膜形成技術を適用した絶縁ゲート型トランジスタを試作し、ゲート絶縁膜としての優位性の検証を行った。ここでは AlGaN/GaN のヘテロ構造に対して図 5(a)に示すような絶縁ゲートトランジスタを作成した。この構造で Insulator として ASECVD 法による SiO₂ 膜を形成した。

図 5(b)はトランジスタと同一チップ上に作製した MOS キャパシタ構造で測定した容量-電圧 (C - V)特性である。 $V_{GS}>-11$ V の領域で AlGaN/GaN のヘテロ界面に 2 次元電子ガス(2DEG)が形成

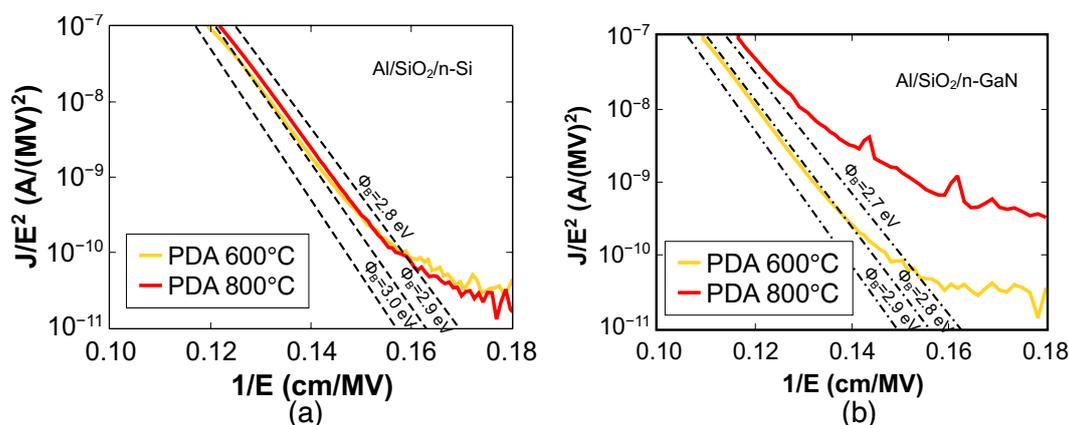


図 4: (a)Al/SiO₂/n-Si 構造、および(b) Al/SiO₂/n-GaN 構造の MOS キャパシタ構造の電流-電圧特性の Folwer-Nordheim(F-N)プロット。点線は SiO₂ と半導体界面の障壁高さ (ϕ_B) を仮定した理論曲線。

され、その時の静電容量が絶縁膜容量(C_{ox})と AlGaN の層厚さで規定されるバリア層容量(C_{AlGaN})の直列容量に一致していることが確認された。 $V_{GS}=-11$ V 付近で容量の立ち上がり生じているのはトランジスタの閾値が-11 V 付近であることを示唆し、シートキャリア密度から見積もられる閾値電圧とも良い一致を示した。この閾値は繰り返しの $C-V$ 測定でも再現が得られており、特筆すべきは周波数を変えた測定でも $C-V$ の形状は良く再現されていることである。

絶縁体/半導体界面における界面準位は $C-V$ 特性における理想曲線からのずれを引き起こし、さらにそのずれ方は、界面準位の帯電状態の変化に有限の時定数が存在するために周波数依存性が表れる。図 5(b)に見られた $V_{GS}=-11$ V 付近での C の急峻な変化は周波数依存性がほぼ見られない結果が得られた。これは界面準位の影響が極めて少ない良好な絶縁体/半導体界面を有するゲート絶縁膜構造が得られていることを示している。さらに、 $V_{GS}=3$ V 付近では C の増加が観測された。これはゲートへのさらなる正バイアスにより AlGaN/GaN 界面に蓄積された 2DEG 層のキャリア濃度がさらに増加し、AlGaN 層での蓄積が生じたために生じた C の増加である。

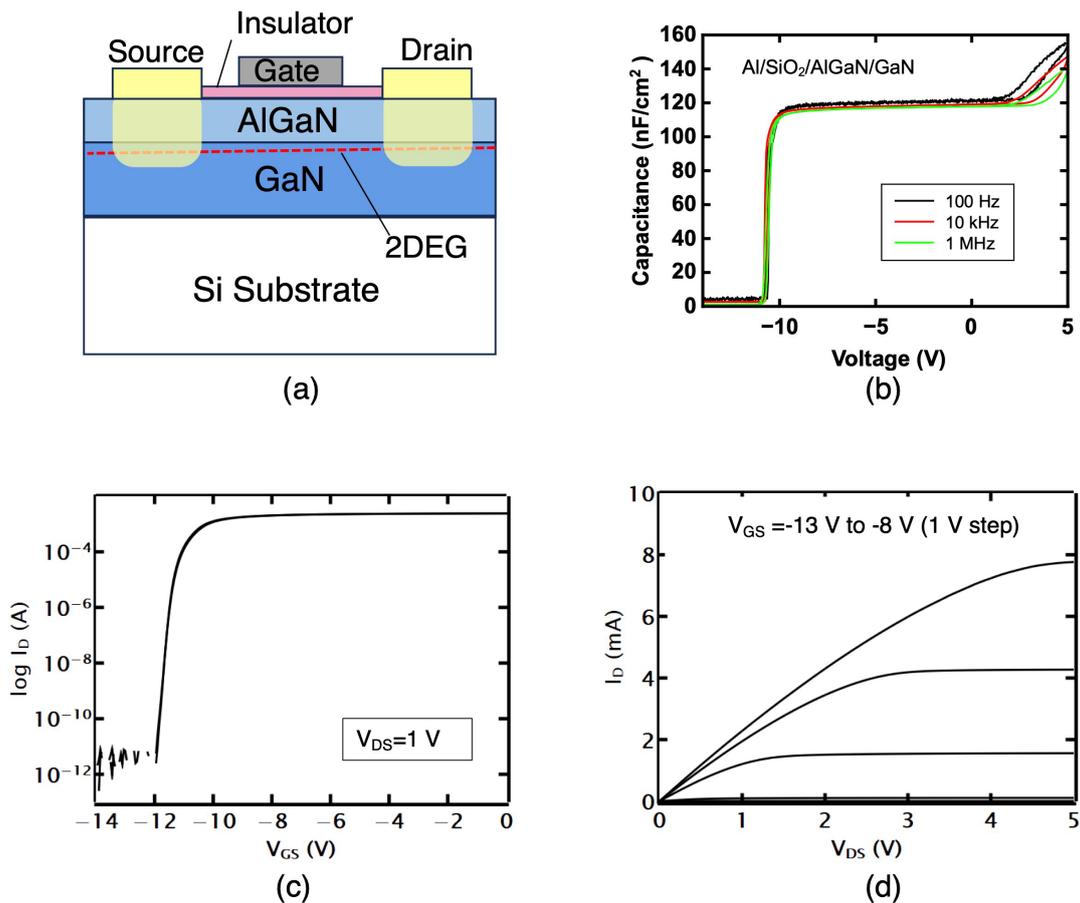


図 5: (a)試作した絶縁ゲート型 AlGaN/GaN ヘテロ構造トランジスタの断面模式図、(b)絶縁ゲートの容量-電圧($C-V$)特性、(c)トランジスタのドレイン電流-ゲート電圧(I_D-V_{GS})特性、および(d)ドレイン電流-ドレイン電圧(I_D-V_{DS})特性の例。

絶縁体/半導体界面の界面準位密度が高い場合には、ゲート電極からの電界が界面準位に遮断されてしまうため、ゲートに大きな正バイアスを加えても C の増加は観測されない。今回作製した試料の正バイス領域で明確な C の増加が観測されたことは、ASECVD 法により形成した絶縁体/半導体界面の特性が良好であることの証左と言える。

図 5(c)および(d)にトランジスタ構造の特性の例を示す。図 5(c)に示すドレイン電流-ゲート電圧(I_D - V_{GS})特性にみえる伝達特性では $V_{GS}=-11$ V 付近の閾値電圧が観測され、この値は前述の C - V 特性の結果と良く一致している。図 5(d)に示すドレイン電流-ドレインバイアス(I_D - V_{DS})特性においても良好な電流飽和特性とゲート制御性が確認された。試作構造の設計上、ソース-ゲート間、およびゲート-ドレイン間のいわゆるアクセス抵抗が大きいため線形領域のゲート制御性が弱く抵抗値が大きくなっている点は、電極レイアウト設計などによる改善が可能である。今回の絶縁体/半導体界面特性に注目した検討で、十分なゲート制御性が得られ、また窒化物半導体トランジスタで問題となる電流コラプスに起因するヒステリシス特性なども観測されなかったことから、本手法で形成した絶縁体/半導体界面形成手法が電子デバイスへの応用に優れた優位性をもつことを実証することができた。

4. まとめ

高度な情報化社会が進むにつれて、社会からのエレクトロニクス技術への要求は高くなり、かつ、持続可能社会として発展を続けていくためには、エレクトロニクス機器の電力を高効率に制御するパワーエレクトロニクス技術の進展が求められている。この要求に対し、本課題ではワイドバンドギャップ半導体の電子デバイスの性能を大きく左右するゲート構造形成手法として、独自開発した ASECV D 法による絶縁体/半導体界面形成技術を検討した。堆積条件や堆積後熱処理が膜質や界面特性に及ぼす影響について詳細に検討し、堆積後熱処理によって絶縁性の向上とともに理想的な障壁高さが得られることや、過度な熱処理が及ぼす影響についても XPS を用いた化学分析による知見を得た。さらに、提案技術を応用した MOS キャパシタ構造および絶縁ゲートトランジスタを試作し特性を評価した。MOS キャパシタの C - V 特性からは周波数分散の極めて少ない良好な特性が得られ、界面準位密度の少ない良好な絶縁体/半導体界面が得られていることを実証した。また、絶縁ゲートトランジスタは良好なゲート制御特性を含む動作が得られ、本手法が電子デバイスへの適用に有用であり、高い優位性を有することを実証した。

謝辞

本研究を遂行するにあたり、(公益財団法人)天野工業技術研究所の 2024 年研究助成のご支援を賜りました。ここに記して謝意を示します。また、本研究の実験および評価の一部は豊橋技術科学大学の次世代半導体・センサ科学研究所(IRES²)、および教育研究基盤センターの施設を用いて行われました。協力をいただいたスタッフに感謝いたします。

参考文献

- [1] H. Okada, M. Baba, M. Furukawa, K. Yamane, H. Sekiguchi, and A. Wakahara, "Formation of SiO₂ film by chemical vapor deposition enhanced by atomic species extracted from a surface-wave generated plasma," AIP Conf. Proc, vol.1807, p.020006, (2017).
- [2] H. Okada, K. Kawakami, M. Shinohara, T. Ishimaru, H. Sekiguchi, A. Wakahara, and M. Furukawa, "Chemical vapor deposition of silicon nitride film enhanced by surface-wave plasma for surface passivation of AlGaN/GaN device," AIP Conf. Proc., vol. 1807, pp.41–46, (2015).
- [3] P. Lange, U. Schnakenberg, S. Ullerich, and H.-J. Schliwinski, "Disorder in vitreous SiO₂: The effect of thermal annealing on structural properties," J. Appl. Phys., vol.68, no. 7, pp.3532–3537, (1990).
- [4] T. Yamada, K. Watanabe, M. Nozaki, H. Yamada, T. Takahashi, M. Shimizu, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, "Control of Ga-oxide interlayer growth and Ga diffusion in SiO₂/GaN stacks for high-quality GaN-based metal–oxide–semiconductor devices with improved gate dielectric reliability," Applied Physics Express, vol.11, no. 1, p.015701, (2018).
- [5] S. M. Sze and K. K. Ng, Physics of Semiconductor Devices. Wiley, 2006.
- [6] H. Mizobata, K. Tomigahara, M. Nozaki, T. Kobayashi, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, "Electrical properties and energy band alignment of SiO₂/GaN metal-oxide-semiconductor structures fabricated on N-polar GaN(000⁻¹) substrates," Appl Phys. Lett., vol.121, no. 6, (2022).