

# シリコントランジスタ界面欠陥の高感度検出技術の開発

静岡大学 電子工学研究所

堀 匡寛

## 1. はじめに

シリコン MOS (Metal-Oxide-Semiconductor) トランジスタの界面に存在する欠陥 (界面欠陥) は、トランジスタの性能を劣化させ、集積回路の信頼性に大きな影響を与える。このため、トランジスタの開発以来、電気的特性と欠陥の種類 (構造) の相関を調べる研究が連綿と続いてきた。

一方、本研究グループではこれまでに、「電気的な計測手法」の一つであるチャージポンピング法<sup>1-5)</sup>と、「磁気化学的な計測手法」である電子スピン共鳴法<sup>6)</sup>を組み合わせた「チャージポンピング・電子スピン共鳴法 (以下、チャージポンピング EDMR (Electrically-detected magnetic resonance) 法<sup>7-9)</sup>と呼ぶ)」を立ち上げており、再結合リーク電流の原因となる欠陥の種類を特定することに成功してきた<sup>8,9)</sup>。本研究課題では、ナノスケールの MOS トランジスタに適用可能な高感度な EDMR 法を提案し、その測定系の構築を行った。また、同測定に用いるためのシリコン MOS トランジスタの試作も並行して行った。

## 2. チャージポンピング EDMR と高感度手法の概要

以下では、電気的計測手法であるチャージポンピング法<sup>1-5)</sup>と磁気的計測手法である電子スピン共鳴法<sup>6)</sup>について述べた後、これらを組み合わせたチャージポンピング EDMR 法 (本手法)<sup>7-9)</sup>について述べる。その後、その高感度化の手法について述べる。

チャージポンピング (CP) 法は、MOSFET の界面欠陥評価のための「電気的な計測手法」である。測定のためのセットアップを図 1(a)に示す。MOSFET のゲートにパルス電圧を印加し、反転状態と蓄積状態を繰り返すことでバンドギャップ中の界面欠陥準位を介した再結合を誘導する (図 1(b))。再結合で生じる電流はチャージポンピング電流と呼ばれ、界面欠陥密度  $N_{it}$ 、素電荷  $e$ 、ゲートパルス周波数  $f$ 、チャンネル面積  $A$  に比例する ( $I_{CP}=N_{it}efA$ )。そのため CP 電流の値から界面欠陥密度を見積もることができる。

一方、電子スピン共鳴法は、常磁性体材料の電子スピン共鳴を検出する「磁気的な計測手法」であり、欠陥や不純物などの種類 (化学的構造) を特定することができる。同手法では一般に外部磁場  $B$  を掃引し、周波数を固定したマイクロ波を照射する。外部磁場によるゼーマン分裂のエネルギー幅と照射マイクロ波のエネルギーが一致するときに電子スピン共鳴し、マイクロ波の吸収が観測される。その共鳴磁場の値 ( $g$  値) から欠陥や不純物などの種類を特定する手法である。

チャージポンピング EDMR 法は上記の 2 つの手法を組み合わせたものであり、電子スピン共鳴下でチャージポンピングを実施する手法である。測定セットアップを図 1(c)に示す。汎用の電子スピン共鳴法ではスピン共鳴をマイクロ波の吸収から検出するが、同手法ではスピン共鳴を再結合電流の変化から検出する。このため再結合電流の経路に存在する欠陥だけを選択的に検出できる。しかしながら、EDMR 法で得られる電流変化  $\Delta I_{CP}$  は、

$\Delta I_{CP}/I_{CP} \sim 10^{-6}$  と小さいため高い信号雑音比が必要となる。そのため、EDMR 信号検出には、掃引磁場に対して微小な交流磁場を重畳してロックイン検出を行っている。

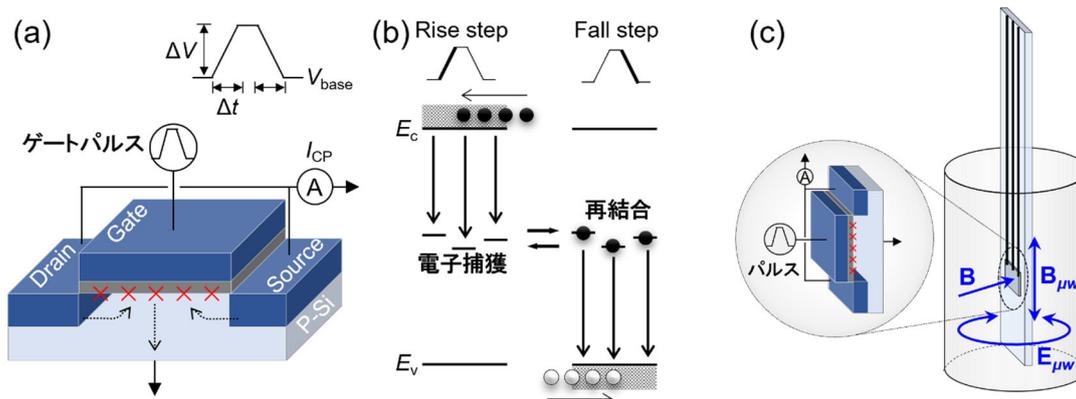


図 1. (a)チャージポンピング法のセットアップ。挿入図はゲートパルスの定義。(b)パルス 1 周期のチャージポンピング過程。黒丸と白丸はそれぞれ電子と正孔を示している。(c)チャージポンピング EDMR 法 (本手法) のセットアップ。MOS トランジスタを電子スピン共鳴装置のキャビティに挿入し、外部磁場  $B$  のもとマイクロ波 (電場成分  $E_{\mu W}$ 、磁場成分  $B_{\mu W}$ ) を照射する。

本研究課題では、ナノ MOS トランジスタに適応可能な高感度 EDMR を開発するために、新たな信号変調方式を提案する。図 2 に示すように EDMR に必要となる掃引磁場に加え、印加電圧 (ここでは特にゲートパルス電圧) を同時に変調し、その出力をロックイン検出するものである (二重変調方式)。変調には異なる 2 種類の周波数を用い、変調周波数の高いものから順に各参照信号を用いて復調していく。すなわち、後段ロックインアンプでは同期参照信号と前段ロックイン出力とを受けて復調する。

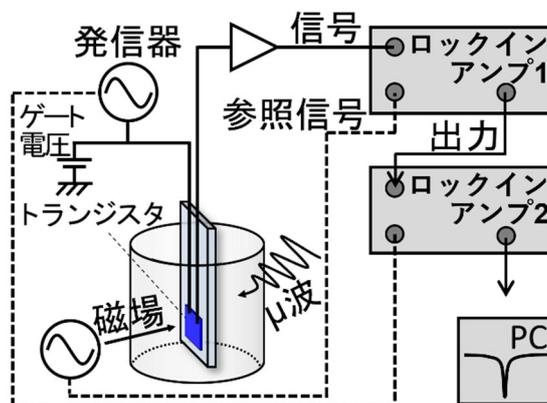


図 2. 本課題で提案する信号変調方式。ゲートパルスと磁場を変調し、ロックインアンプにて復調。

### 3. チャージポンピング測定の結果

以下ではまず、ゲートパルスの周波数を変調することで、CP 電流が変調されることを報告する。次に、変調された CP 電流がロックイン検出可能であることを報告する。最後に次項 (第 4 項) において、チャージポンピング EDMR 測定の結果について報告する。

上記のチャージポンピング法の概要で述べたように、CP 電流はパルス周波数に比例する。このため、パルス周波数を変調すれば CP 電流を変調できるはずであり、ロックイン

検出できると期待される。ここでは、シリコン(100)基板上に作製した N チャンネル MOSFET を使用した。同デバイスはチャンネル長さ 10  $\mu\text{m}$ 、チャンネル幅 100  $\mu\text{m}$ 、酸化膜厚 30 nm の標準プロセスで作製されたものである。

図 3(a)は、CP 特性 ( $I_{\text{CP}}-V_{\text{base}}$  特性) を示している。横軸はパルスのベース電圧  $V_{\text{base}}$  で、縦軸は CP 電流  $I_{\text{CP}}$  である。パルスの周波数  $f$  は、10kHz から 100kHz まで 10kHz 間隔とし、振幅電圧  $\Delta V=4$  V、立上り時間と立下り時間  $\Delta t=1$   $\mu\text{s}$  としている。パルス電圧の定義は、図 1(a)の挿入図に示している。測定は室温で行った。MOS 界面が反転状態と蓄積状態を繰り返すベース電圧にのみ CP 電流が流れている。図 3(b)には、ベース電圧が  $-2\text{V}$  での CP 電流 (図中の点線) について横軸を周波数にして再プロットしている。期待通り周波数に比例して、CP 電流が増加していることがわかる。CP 電流の値から界面欠陥密度は約  $N_{\text{it}}=8\times 10^9$   $\text{cm}^{-2}$  と見積もられた。

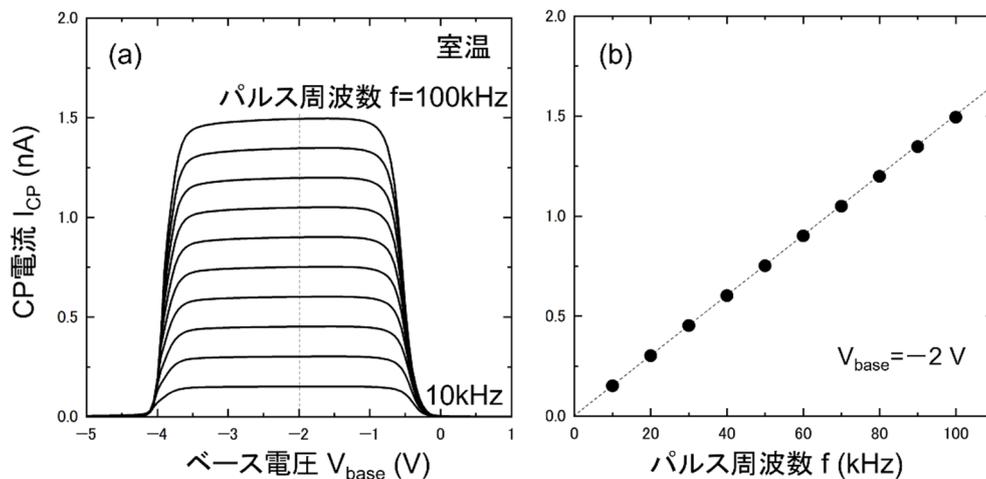


図 3. (a)CP 電流  $I_{\text{CP}}$  のベース電圧  $V_{\text{base}}$  依存性。ゲートパルス周波数は 10kHz から 100kHz まで 10kHz 間隔で取得。(b)CP 電流  $I_{\text{CP}}$  とパルス周波数  $f$  の関係。CP 電流は(a)のベース電圧  $V_{\text{base}}=-2\text{V}$  の値。

上記の CP 特性を示すトランジスタに対して、異なる 2 種類の周波数 (低周波 10 kHz と高周波 100 kHz) を交互に切り替えたゲートパルスを入力した (図 4(a)挿入図参照)。2 種類の周波数の切り替えは 100 Hz とした。測定結果を図 4(a)に示す。電流計の積分時間は  $1/(100$  Hz)秒よりも十分に長くして測定しており、CP 電流の値は期待通り 10 kHz の CP 電流と 100 kHz の CP 電流の平均値となった。また、この CP 電流の値はパルス周波数を (周波数を交互に切り替えずに) 55 kHz に固定した場合の CP 電流と同じ値となることも確認した。同様に、他の異なる 2 種類の周波数の組み合わせでも、平均化された CP 電流が電流計で計測されることを確認した。このことから、ゲートパルスの周波数変調により、CP 電流が変調されることが示唆された。

次に、変調した CP 電流のロックイン検出を行った。上記と同じく低周波 10 kHz と高周波 100 kHz を切り替えの周波数 100 Hz で交互に繰り返すゲートパルスを与え、その出力の CP 電流をロックインの入力とした。変調で用いた周波数 100 Hz をロックインの参照信号とした。同様に、周波数の差分がパラメータとなるように低周波側の周波数を変えて測定した。ロックイン出力の結果を図 4(b)に示す。横軸には、2 つの周波数の差分を、縦軸には、CP 電流の差分 (丸プロット) とロックイン出力の結果 (四角プロット) の結果

をそれぞれ示している。期待通り、変調した CP 電流値の差分がロックインにより出力されており、その値は CP 電流の差分とよく一致することを確認した。

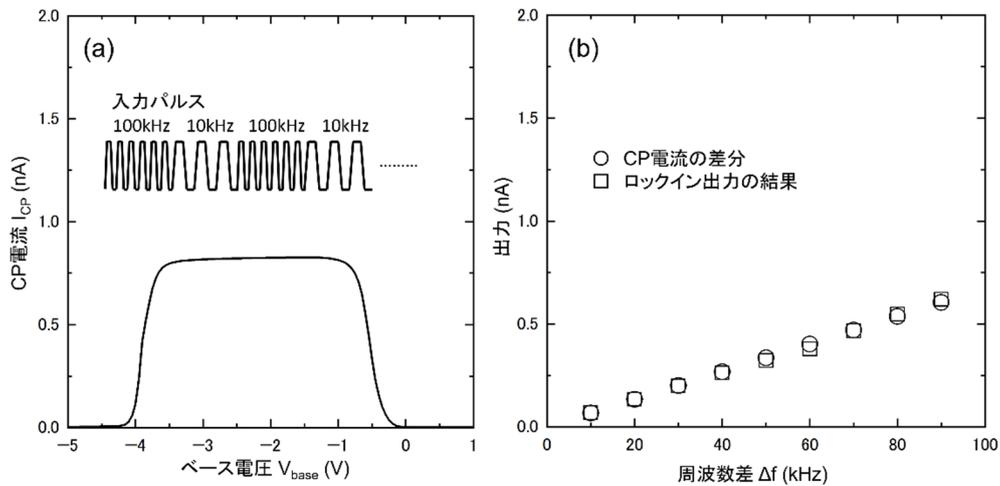


図4. (a)ゲートパルスの周波数を 100kHz で変調(10kHz と 100kHz)した場合の CP 電流の測定結果。(b)ロックイン検出の結果。丸プロットは CP 電流の差分を、四角プロットはロックイン出力の結果。

#### 4. チャージポンピング EDMR 測定の結果

上述したようにゲートパルスによる周波数変調したチャージポンピング電流がロックイン検出可能であることを確認したため、チャージポンピング EDMR 測定を実施した。なお、本測定で用いた MOSFET のサイズはチャンネル長 50  $\mu\text{m}$ 、チャンネル幅 500  $\mu\text{m}$  である。測定温度は、30 ケルビンとした。過去に報告した EDMR 測定と同様、磁場の変調周波数は 100 Hz とした<sup>5-7)</sup>。また、ゲートパルス周波数は低周波 10 kHz と高周波 40 kHz として CP 電流を 1 kHz で変調させた。

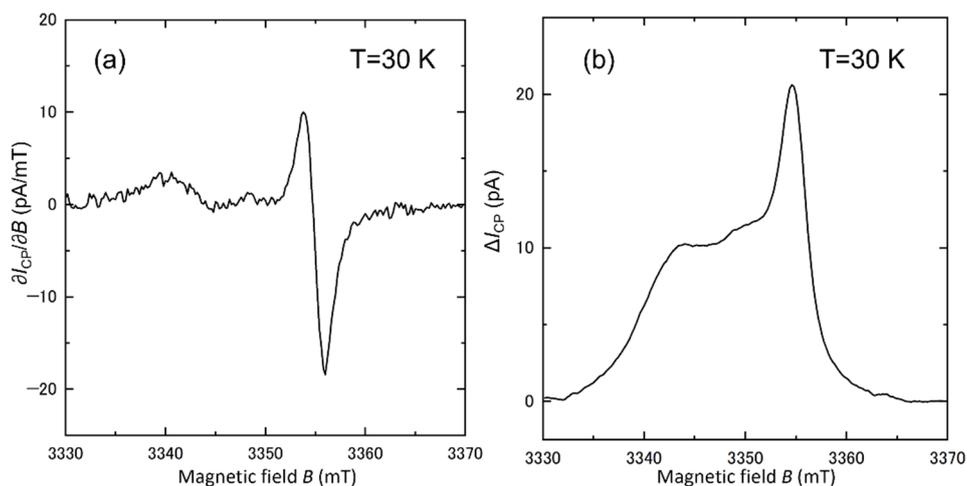


図5. 周波数変調した EDMR 測定の結果(a)微分出力波形、および、(b)積分波形。

測定結果を図5に示す。(a)は微分出力波形を、(b)は積分波形を示している。過去に報告した単一周波数のゲートパルスでの EDMR 信号の波形と概形はよく一致した。この信号波形は3つのピークに分離でき(不図示)、それぞれの共鳴磁場の値(g値)から3つのピ

ークの起源はシリコン/シリコン酸化膜界面に存在する  $P_{b0}$  欠陥、酸化膜中に存在する E' 欠陥、および、伝導帯近傍の浅い準位と考えられる。今後は、同測定結果の雑音について調べていく予定である。また、再結合を利用した電子正孔二層系の研究<sup>10,11)</sup>についても同手法を応用して解析を進めていく予定である。

## 5. バルクシリコン MOS トランジスタの試作と評価

EDMR 測定では MOSFET にマイクロ波が照射されるため、その交流磁場や交流電場が配線ループを貫くと、MOSFET の電圧/電流が振動する。また、空洞共振器内に挿入される電極や配線の金属は Q 値を減衰させる原因となるため、その量は少ない方が好ましい。このことから、MOSFET の構造は EDMR 測定の信号雑音比を決める重要な要素であると考えられる。そこで EDMR 測定に適したトランジスタの設計を念頭に、ここではその前段階として標準的なシリコン MOSFET を試作した。

本試作では、N 型チャネルの MOSFET のほか、同一基板には、MOS キャパシタ、コンタクト抵抗および拡散層（高濃度リン P ドーピング層）抵抗を測定するための四端子素子も設けた。なおトランジスタのチャネル長と幅は、 $10\ \mu\text{m}$  から最大  $5\ \text{mm}$  の範囲で設計した。また、素子分離用フィールド酸化膜の形成を確認するため、その直上にゲート電極を有する MOS トランジスタを用意した。

基板は、P 型シリコン(100)面（比抵抗  $0.1\ \Omega\text{cm}$ 、不純物濃度  $\sim 10^{17}\ \text{cm}^{-3}$ ）を用いた。ゲート酸化膜、および、素子分離用フィールド酸化膜の膜厚設計値は、それぞれ  $30\ \text{nm}$  と  $400\ \text{nm}$  とした。このために、ドライ熱酸化を  $900^\circ\text{C}$  120 分と  $1000^\circ\text{C}$  20 時間実施した。電極は真空蒸着法によりアルミニウムを堆積させた。プロセスの最後に水素アニール処理を実施した。

試作後には室温下において電気的特性（ドレイン電流  $I_d$ -ゲート電圧  $V_g$  特性）と容量測定（C-V）特性を取得した。

図 6(a)に試作したトランジスタの  $I_d$ - $V_g$  特性を示す。ドレイン電圧は  $V_d=10\ \text{mV}$ （線形領域）とした。同特性に示すように、外挿法を用いることで閾値電圧は  $V_{th}=1.3\ \text{V}$  と見積もられた。また、電界効果移動度と Subthreshold Swing は、それぞれ  $480\ \text{cm}^2/\text{Vs}$  および  $130\ \text{mV}/\text{dec}$  と見積もられた。

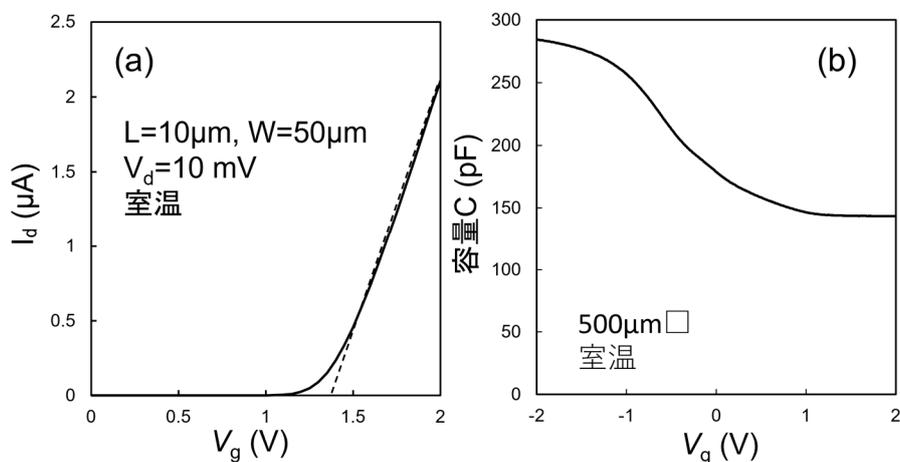


図 6. (a)試作したシリコン MOS トランジスタの  $V_g$ - $I_d$  特性と (b)MOS キャパシタの C-V 特性。

図 6(b)には、同一基板上に作製した MOS キャパシタの容量特性を示している。蓄積状態での容量値 (290 pF) からゲート酸化膜厚は 29.7 nm と見積もった。この値は、設計値 (30 nm) とよく一致した。また、反転状態での容量値 (144 pF) から基板不純物濃度は  $1.3 \times 10^{17} \text{ cm}^{-3}$  と見積もられ、基板の抵抗から見積もられる値 ( $10^{17} \text{ cm}^{-3}$ ) とよく一致した。また、異なる面積をもつ MOS キャパシタの容量値も測定しており、期待通り容量値が面積に比例していることを確認した。

また、コンタクト抵抗とソース/ドレイン拡散層 (高濃度リン P ドーピング層) 抵抗の四端子測定も行った。Al-N<sup>+</sup>間のコンタクト抵抗は、10 mΩ のオーダーであり、MOSFET のオン抵抗よりも十分に小さいことがわかった。拡散層抵抗は、10 Ω のオーダーでありこれも十分に小さいことがわかった。また、抵抗の大きさは長さに依存しており、長さ方向に均一に N<sup>+</sup>層が形成されていることを確認した。さらに、フィールド酸化膜 (Field-oxide) の直上にゲート電極を配置した MOSFET の  $I_d$ - $V_g$  特性も評価しており、その閾値電圧  $V_{th\_FOX}$  は外挿法により 13.5 V と見積もられた。この閾値電圧の値は、理論式から期待される値とよく一致した。図 6(a)で示した MOSFET の  $V_{th}$  と比較すると  $V_{th\_FOX}$  は、約 10 倍大きく、素子分離用の酸化膜として十分に機能することがわかった。今後は、同トランジスタの CP 測定や低温電気特性の評価を行う。また、電極配線を含めた MOSFET の構造についても検討を行う予定である。

## 6. まとめ

本研究課題では、ナノ MOS 界面に適用可能な高感度チャージポンピング EDMR 法のための新たな変調方式について提案し、その測定系を構築した。ゲートパルス周波数変調により CP 電流が変調可能であること、また、ロックイン検出可能であることを示した。さらに、同測定により低温下において EDMR 信号を観測することに成功した。

## 謝辞

本研究を遂行するにあたり、公益財団法人天野工業技術研究所から多大なご支援を頂きました。ここに記して謝意を示します。

## 参考文献

- 1) J. S. Brugler, P. G. A. Jespers, "Charge pumping in MOS devices," IEEE Trans. Electron Devices 16, 297–302 (1969).
- 2) G. Groeseneken, H. E. Maes, N. Beltran, R. F. Keersmaecker, "A reliable approach to charge-pumping measurements in MOS transistors," IEEE Trans. Electron Devices 31, 42–53, 1984.
- 3) T. Tsuchiya, Y. Ono, "Charge pumping current from single Si/SiO<sub>2</sub> interface traps: Direct observation of P<sub>b</sub> centers and fundamental trap-counting by the charge pumping method," Jpn. J. Appl. Phys. 54, 04DC01\_1–7, 2015.
- 4) M. Hori, T. Watanabe, T. Tsuchiya, Y. Ono, "Analysis of electron capture process in charge pumping

- sequence using time domain measurements,” *Appl. Phys. Lett.* 105, 261602\_1–4 (2014).
- 5) M. Hori, T. Watanabe, T. Tsuchiya, Y. Ono, “Direct observation of electron emission and recombination processes by time domain measurements of charge pumping current,” *Appl. Phys. Lett.* 106, 041603\_1–4 (2015).
  - 6) M. Hori, M. Uematsu, A. Fujiwara, Y. Ono, “Electrical activation and electron spin resonance measurements of arsenic implanted in silicon,” *Appl. Phys. Lett.* 106, 142105\_1–4 (2015).
  - 7) M. Hori, T. Tsuchiya, Y. Ono, “Improvement of charge-pumping electrically detected magnetic resonance and its application to silicon metal-oxide-semiconductor field-effect transistor,” *Appl. Phys. Express* 10, 015701\_1–4 (2017).
  - 8) M. Hori, Y. Ono, “Charge Pumping Under Spin Resonance in Si(100) Metal-Oxide-Semiconductor Transistors,” *Phys. Rev. Applied* 11, 064064\_1–12 (2019).
  - 9) M. Hori, Y. Ono, “Detection of arsenic donor electrons using gate-pulse-induced spin-dependent recombination in silicon transistors,” *Appl. Phys. Lett.* 118, 263504\_1–5 (2021).
  - 10) M. Hori, J. Kume, M. Razanoelina, H. Kageshima, Y. Ono, “Electrical control of transient formation of electron-hole coexisting system at silicon metal-oxide-semiconductor interfaces,” *Commun. Phys.* 6, 316\_1–11 (2023).
  - 11) N. Ahmed, M. Razanoelina, M. Hori, A. Fujiwara, Y. Ono, “Drag of electron–hole bilayer in silicon-on-insulator metal-oxide-semiconductor field-effect transistor at low temperature,” *Appl. Phys. Express* 17, 064003\_1–5 (2024).