公益財団法人天野工業技術研究所 研究成果報告書

高濃度ドープシリコン薄膜における不純物効果

の特性評価

准教授 モラル ダニエル ^{静岡大学 工学部}

1. はじめに

ムーアの法則 [1] に基づくトランジスタの微細化が数十年間にわたり 進められてきた中で、ナノスケール Si MOSFET (金属酸化膜半導体電界効果トラ ンジスタ)におけるドーパント原子の影響は広く研究されてきた。特に、不均 ーなドーピング分布がデバイスのしきい値特性に与える影響が注目されている [2]。ドーピングを精密に制御することで、しきい値電圧のばらつきを低減でき ることが示されている [3]。また、個々の(離散的な)ドーパントが量子ドッ ト (QD)として機能し、単一電子トンネリング輸送に寄与することも実証され ている [4-7]。我々の研究グループでは、ドーパントのクラスターが深いエネ ルギー準位を形成し、単一電子トンネリングと熱励起輸送を分離する可能性が あることを示してきた [8-10]。

さらに、ナノスケール pn ダイオードおよび Esaki ダイオード(高濃度 ドープされた pn ダイオード)においても、ドーパントの個別性やクラスター化 が重要な役割を果たすと考えられる。そのため、特にナノスケール p⁺n⁺接合 (Esaki ダイオードの基本構造)におけるドーパント分布のランダム性と輸送メ カニズムの関係をより明確にするため、新たなアプローチが求められる。

バンド間トンネリング (BTBT) に関する先行研究では、SOI 基板上に作 製された幅約 200 nm 程度の p⁺ⁿ⁺ダイオードにおいて [11]、リン (P) ドナーと ホウ素 (B) アクセプターのランダムな分布によって形成される量子ドット (QD) が、ドーパント媒介型 BTBT [12] や単一電荷 BTBT 輸送 [13] に寄与する可能性 が示唆されている。しかし、ドライブイン・ドーピングプロセスのために急速熱 アニーリング (RTA) が施されたナノワイヤ p⁺ⁿ⁺ダイオードでは、約 20 秒間の短 時間加熱によってトンネルダイオードとしてのデバイスの歩留まりが著しく低 下した。この結果は、特にデバイス動作において最も重要な共ドープ領域におけ るドーピングやエッチングの影響が要因となっている可能性を示唆している。 本研究では、薄膜 SOI デバイスの共ドープ領域に着目し、電気的特性評価を通 じてその特性を詳細に解析することを目的とする。 トンネルダイオード (Esaki ダイオード) は、L. Esaki によって 1958 年に Ge で [14]、1960 年に Si で [15] 初めて実証されたデバイスであり、p⁺n⁺ 接合によって形成される。このデバイスでは、p 型領域および n 型領域の両方が 高濃度にドープされており (N >> N_{MIT})、フェルミ準位がバンド内に位置する。 このトンネルダイオードの重要な特徴は、電子輸送が量子力学的トンネリング によって生じ、動作バイアス状態に依存する点である。

Esaki ダイオードのエネルギーバンドダイアグラムにおいて、熱平衡状態では、逆バイアス(V<0)時に電流は単調に増加し、通常の pn ダイオードと比較して相対的に高い電流が得られる。一方、順バイアス(V>0)時には、電流が最大値(ピーク電流 I_p)に達した後、最小値(バレー電流 IV)まで減少し、 負性微分コンダクタンス(NDC)領域が形成される。一般的に、Si は間接遷移型のバンドギャップを持つため、NDC 領域における BTBT 輸送は、運動量保存のためにフォノンによって補助される[16]。

順バイアスにおける電流輸送は、主に以下の3つの輸送メカニズムに起 因すると考えられる[17]:(i)バンド間トンネリング(BTBT);(ii)余剰電 流;(iii)熱励起電流である。トンネリングが発生するためには、エミッター側 のエネルギー状態が占有されており、コレクター側のエネルギー状態が空であ る必要がある。また、トンネリング障壁が小さく、バンド間トンネリング中に運 動量が保存されることが求められる。

2. 研究内容

2.1 研究の目的

低次元エサキダイオードにおける電子輸送メカニズムを理解すること は、ナノスケールで新たな物理現象や統計的解釈が生じる可能性があるため、極 めて重要である。これらの課題については、次節で詳しく検討する。

本プロジェクトでは、高濃度ドープシリコン薄膜における不純物効果の 特性評価を目的とし、特に THz シンクロトロン分光法および二次イオン質量分 析 (SIMS), i.e., Time-of-Flight SIMS (ToF-SIMS) を活用した測定を行った。 この研究は、シリコンオンインシュレーター (SOI) 基板上に形成された超薄膜 pn ダイオードにおける電子輸送機構の解明に寄与するものであり、将来的なナ ノエレクトロニクスデバイスの設計に有益な知見を提供する。

シリコンベースの電子デバイスの微細化が進む中、ドーパントの影響が デバイス性能に及ぼす影響をより深く理解することが重要となる。本研究では、 高濃度ドープされたシリコン薄膜における不純物効果を、実験的手法と理論的 解析を組み合わせて明らかにすることを目指した。

2.2 研究の方法

図1に示すように、本研究で対象とするデバイスは、シリコンオンイン シュレーター(SOI)構造を持つ横型ダイオードである。



図 1. (a) SOI ベースの Esaki ダイオードの概略デバイス構造。 (b) N_D (P ド ナーによるドーピング) と N_A (B アクセプターによるドーピング) のドーピン グプロファイルの図示。共ドープ領域として重なり合う部分も示している。

本研究では、以下の手法を用いてシリコン薄膜の特性評価を行った:

- THz シンクロトロン分光法(Australian Synchrotron)を利用し、シリコン 薄膜のバンドギャップおよび不純物準位の特性を分析した。
- ToF (Time of Flight)-SIMS 測定(ST Microelectronics, Italy)を行い、ドー パントの深さ方向濃度分布を高精度で解析した。
- pn ダイオードの電気特性測定を通じて、バンド間トンネル電流とドーパント濃度の相関を解析した。

本報告では、電気的特性評価に焦点を当てる。特に、Pドーピング領域 とBドーピング領域が重なる共ドープ領域を有するデバイスを対象とする。Pド ナーおよび B アクセプターは、高濃度不純物として急速熱アニーリング(RTA) プロセスを用いて順次添加された。デバイスの左側は p⁺、右側は n⁺であり、基 準試料に対する四端子プローブ測定により、それぞれのドーピング濃度は 1.5×10²⁰ cm⁻³および 2.2×10²⁰ cm⁻³と推定される。 デバイスのサイズは以下のように設計されている。

(1) エッチングなしの試料: ナノ構造の長さ L = 10000 nm、幅 W = 7000 nm。
 (2) エッチング済みの試料: ナノ構造の長さ L = 1000 nm、中央部の最も狭い
 部分の幅 W = 160 nm。

最後に、デバイス領域によっても異なるが、トップ Si 層の厚さは約20 ~30 nm であることを付記する。これらのナノスケールエサキダイオードの作 製には、様々な課題が伴うことが他の研究[18] でも指摘されている。

2.3 研究成果

本節では、上述のデバイスにおける I_p-V_p 特性を中心に、電気的測定 結果について議論する。測定は、低温(8.3 K)から高温(100 K)までの範囲 で行い、基板電圧(Vsub)依存性も調査した。



 図 2. 中央領域にナノパターンが施されたデバイスの I_p-V_p特性(設計幅 160 nm)。
 温度範囲 8 - 100 K での変化を示す。
 角の微分コンダクタンス(NDC) ピークは、100 K でも明確に観察できる。

試料は、真空プローバー (GRAIL 10-305-4-LV-6H, 長瀬産業株式会社) に導入し、チャンバー内を排気後、温度を 8.3 K まで低下させた。電流-電圧特 性の測定には、半導体パラメータアナライザ (Agilent 4156C, Keysight Technologies) を使用した。

図2に、ナノ構造の公称幅が160 nm のデバイスにおける I_p-V_p 特性を 示す。 $V_p = 100 \text{ mV}$ 付近で負性微分コンダクタンス (NDC) ピークが観測された。 現在のディップがピークを超えると、負の抵抗が示され、これは8 K から100 K までのすべての測定において観察され、ピークの形状にわずかな変動が見られ た。特に、100 K という高温で NDC ピークが観察されることは、私たちのデバイ スでは非常に珍しい現象である[11-13]。ここでは、深いエネルギー準位のギャ ップ状態を通る過剰電流や熱活性化された電流成分が、通常、BTBT 特徴を隠す 役割を果たしている。

2.4 考察

このセクションでは、異なる幅を持つデバイスの電子輸送メカニズムに ついて考察し、その挙動の違いを説明する。ナノパターン化されたデバイスは、 エサキダイオードの典型的な特徴を示すが、歩留まりは比較的低い。パターン 化されていないデバイスもエサキダイオードに似た特徴を示すが、順方向バイ アスにおける NDC ピークはあまり顕著ではない。

最初に考えられるモデルは、特に不純物ドーピングとナノ構造パターン 化に関連する製造プロセスの違いに焦点を当てたものである。大きなデバイス では、最初に幅7000 nm、長さ10000 nmの微細構造が作成され、その後不純物 ドーピングが行われる。小さなデバイスでも同様の手順が行われるが、微細構 造はその後、電子ビームリソグラフィー技術と反応性イオンエッチング(RIE) を用いて、異なる幅と長さ1000 nmにパターン化される。

不純物(ドーパント)の濃度と分布は、デバイスの動作にとって非常に 重要である。ここでは、1050°Cで約20秒間、窒素(N2)雰囲気下で迅速熱ア ニール(RTA)を行い、ドーピングを実施した。この短時間の処理により、微細 構造内に濃度勾配が生じる可能性があり、特に中央部と比較してエッジ部分で より高い濃度が得られることが予想される。これは図3に示されるように模式 的に説明できる。



図 3. 微細構造におけるエッジ効果(スケールは示していません)の模式図。 高濃度にドープされたエッジ部分は、設計幅160 nmのデバイスのためにナノ パターニング(エッチング)によって除去される。色のグラデーションは、デ バイス内の濃度勾配を示す。

デザイン幅 160 nm のデバイスでは、微細構造のエッジをエッチングす ることで、過剰にドーピングされた領域の影響が最小化され、中央部の濃度が比 較的低くなる。このため、エサキダイオードとしてのナノパターン化デバイスの 歩留まりが比較的低いことが説明できるかもしれない。一方、デザイン幅 7000 nm のデバイスでは、ナノパターン化が不要であり、過剰にドーピングされた領 域は微細構造のエッジに残る。このデバイスでは、電流が 160 nm デバイスより も数桁高いため、電荷輸送は主に微細構造の過剰ドーピングされたエッジによって支配されていることが示唆される。

これらのデバイスの全体的な挙動を解釈するためには、どのメカニズム が支配的であるかを明確にするためのさらに系統的な分析が必要である。

3. まとめ

本研究では、異なるナノ構造幅を持つ SOI ベースのエサキダイオードに おけるドーパント分布と輸送メカニズムの影響を調査しました。特に、ドーピン グプロセス、絶縁層内の不純物や欠陥レベルに影響される負の微分抵抗 (NDC) 領域において、電子輸送挙動に顕著な違いが観察されました。デザイン幅 160 nm のデバイスは、低い歩留まりのデバイス群を代表するものでありながら、Vsub に 強く依存しており、ドーパント (不純物)および欠陥レベルによって媒介される BTBT メカニズムが支配的であることを示唆しています。一方、デザイン幅 7000 nm のデバイス (微細構造) もエサキダイオードに似た特徴を示しますが、歩留 まりが高いにもかかわらず、Vsub に対する依存性は比較的弱いです。

この不一致の原因となる要因はいくつか考えられます。ドーパントや欠 陥状態はトンネリング電流に影響を与える可能性があります。pn 接合部での濃 度勾配は、絶縁層内のポテンシャル勾配に空間的な変動を引き起こすこともあ ります。さらに、ドーピングプロセス中におけるドーパント(不純物)の非均一 拡散は、ドーパントクラスターの形成を引き起こし、デバイス特性に影響を与え る可能性があります。

これらの発見は、これらの要因について比較的な方法でさらに調査する 必要があることを示しています。ナノスケールの構造幅がエサキダイオードの 特性に与える影響をより深く理解することは、ミニチュア化された電子回路に おける機能性を向上させるためのデバイス設計の進展にとって重要です「17」。

本プロジェクトでは、高濃度ドープシリコン薄膜における不純物効果を 多角的に評価し、電子輸送特性の詳細を明らかにした。THz シンクロトロン分光 法と nano-SIMS を組み合わせた手法は、今後のナノエレクトロニクスデバイス 設計において重要な指針を提供することが示された。

参考文献

[1] G. Moore, Electronics Mag., 38, 114-117.

[2] International Technology Roadmap for Semiconductors (ITRS): http://www.itrs2.net/itrs-reports.html (2013)

[3] T. Shinada, S. Okamoto, T. Kobayashi, and I. Ohdomari, Nature, 437, 1128-1131 (2005).

[4] H. Sellier, G. P. Lansbergen, J. Caro, S. Rogge, N. Collaert, I.Ferain, M. Jurczak, and S. Biesemans, Phys. Rev. Lett., 97, 206805 (2006).

[5] Y. Ono, K. Nishiguchi, A. Fujiwara, H. Yamaguchi, H. Inokawa, and Y. Takahashi, Appl. Phys. Lett., 90, 102106 (2007).

[6] M. Fuechsle, J. A. Miwa, S. Mahapatra, H. Ryu, S. Lee, O. Warchkow,L. C. L. Hollenberg, G. Klimeck, and M. Y. Simmons, Nat. Nanotechnol.,7, 242 (2012).

[7] M. Tabe, D. Moraru, M. Ligowski, M. Anwar, R. Jablonski, Y. Ono, and T. Mizuno, Phys. Rev. Lett., 105, 016803 (2010).

[8] D. Moraru, A. Samanta, L.T Anh, T. Mizuno, H. Mizuta, and M. Tabe, Sci. Rep., 4, 6219 (2014).

[9] A. Samanta, M. Muruganathan, M. Hori, Y. Ono, H. Mizuta, M. Tabe, and D. Moraru, Appl. Phys. Lett., 110, 093107 (2017).

[10] T. T. Jupalli, A. Debnath, G. Prabhudesai, K. Yamaguchi, P. J. Kumar, Y. Ono, and D. Moraru, Appl. Phys. Express, 15, 065003 (2022).

[11] D. Moraru, M. Muruganathan, L. T. Anh, R. Nuryadi, H. Mizuta andM. Tabe, Proceedings of the 15th International Conference on GlobalResearch and Education Inter-Academia, pp. 95-101 (2016).

[12] M. Tabe, H. N. Tan, T. Mizuno, M. Muraganathan, L. T. Anh, H. Mizuta, R. Nuryadi, and D. Moraru, Appl. Phys. Lett., 108, 093502-1-5 (2016).

[13] G. Prabhudesai, M. Muruganathan, L. T. Anh, H. Mizuta, M. Hori,
Y. Ono, M. Tabe, and D. Moraru, Appl. Phys. Lett., 114, 243502 (2019).
[14] L. Esaki, Phys. Rev., 109, 603 (1958).

[15] L. Esaki and Y. Miyahara, Solid State Electron., 1, 13 (1960).

[16] A. G. Chynoweth, R. A. Logan, and D. E. Thomas, Phys. Rev., 125, 877 (1962).

[17] S. Masui, R. Asai, B.A. Rianto, D. Moraru, Acta Physica Polonica A, 146, 650-654 (2024).

プロジェクトの主な成果

論文

1. R. Asai et al., "Study of stability diagrams of codoped silicon nano-transistors," Acta Physica Polonica A, vol. 146, issue 4, pp. 655-659 (2024).

- S. Masui et al., "Band-to-band tunneling spectroscopy of energy states in ultrathin silicon-on-insulator p-n diodes," Acta Physica Polonica A, vol. 146, issue 4, pp. 650-654 (2024).
- S. Chakraborty et al., "Transport spectroscopy of donor/quantum dot interactive system in silicon nano-transistors," Advanced Quantum Technologies, vol. 7, pp. 2440001 (2024).

国際・国内学会発表

- 国際会議発表(相対講演)
 - Plenary Talk: ICPAM-16 (Turkey, 2024 online)
 - *Keynote Talk:* International Conference on Sustainable Green Tourism Applied Science (Bali, 2024 - online)
 - Invited Talk: ST Microelectronics Distinguished Lecture Seminar (Italy, 2024)
- 国内会議発表
 - 。 JSAP 春季学術講演会 (Tokyo 2024)-3 件
 - 。 Takayanagi Kenjiro Memorial Symposium (Hamamatsu 2023)—2 件

受賞歴

• Inter-Academia Conference 2024 (Poland) において、2 名の大学院生が Young Researcher Award を受賞。

共同研究と国際連携

• ST Microelectronics (Italy)における ToF-SIMS 測定を実施。

謝辞

本研究は、JSPS 科研費(19K04529 および 22K04216)、静岡大学電子工学研究所の共同研究プロジェクト、そして天野技術学園財団からの助成を一部受けて行われた。